

Національний університет кораблебудування імені адмірала Макарова
Кафедра комп'ютеризованих систем управління

ЗАТВЕРДЖУЮ

Проректор
з науково-педагогічної роботи

С.О. Слободян
2022 р.



РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Program of the Discipline

**КОМП'ЮТЕРИЗОВАНЕ ПРОЕКТУВАННЯ ЦИФРОВИХ
ЕЛЕКТРОННИХ СХЕМ**

Computer-aided design of digital electronic circuits

рівень вищої освіти другий (магістерський)

тип дисципліни нормативна

мова(и) викладання українська

Галузь знань 15 «Автоматизація та приладобудування»

Спеціальність 151 «Автоматизація та комп'ютерно-інтегровані технології»

Навчально-науковий інститут автоматики та електротехніки

Миколаїв, 2022 рік

Робоча програма навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розроблена для студентів з галузі знань 15 «Автоматизація та приладобудування» за спеціальністю 151 «Автоматизація та комп'ютерно-інтегровані технології», ОПП «Комп'ютерно-інтегровані технології та системи автоматизації»

«8» січня 2022 р. – 15 с.

Розробники:

- кандидат техн. наук **Покровський М.В.**, доцент кафедри комп'ютеризованих систем управління

Проект робочої програми навчальної дисципліни «Мікропроцесорні системи управління технічними засобами суден» узгоджено з гарантом освітньо-професійної програми «Комп'ютеризовані системи управління та автоматика»

Гарант ОПП,
д.т.н., професор

 В.Л. Тимченко

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розглянуто на засіданні кафедри комп'ютеризованих систем управління (КСУ).

Протокол від «25» січня 2022 р. № 6.

Завідувач кафедри КСУ  О.О. Черно

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розглянуто методичною радою Навчально-наукового інституту автоматизації і електротехніки.

Протокол від «25» січня 2022 р. № 6.

Голова  В.А. Скороходов

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» погоджено з навчальним відділом.

Начальник навчального відділу  А.В. Лабарткава

Робочу програму навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» затверджено Навчально-методичною радою НУК.

Протокол від «__» _____ 2022 р. № __.

Голова НМР НУК 

© Покровський М.В., 2022 рік

© НУК, 2022 рік

Анотація

Навчальна дисципліна «Комп'ютеризоване проектування цифрових електронних схем» (КПЦЕС) є нормативною дисципліною професійної підготовки фахівців другого (магістерського) рівня вищої освіти за освітньо-професійною програмою «Комп'ютерно-інтегровані технології та системи автоматизації» зі спеціальності 151 «Автоматизація та комп'ютерно-інтегровані технології» галузі знань 15 «Автоматика та приладобудування».

Доцільність курсу «Комп'ютеризоване проектування цифрових електронних схем» викликана потребами придбання студентами знань і навичок в проектуванні цифрових електронних схем з застосуванням сучасних методик і технологій, комп'ютеризованих засобів проектування. Даний курс забезпечує вивчення методів та засобів логічного синтезу цифрових електронних схем на основі поведінкових та функціональних моделей.

Ключові слова: КПЦЕС, ПЛІС, синтез, модель, мова опису апаратного забезпечення.

Abstract

The discipline "Computer-aided design of digital electronic circuits" (CADDEC) is a normative discipline of professional training of specialists of the second (master's) level of higher education in the educational-professional program "Computer-integrated technologies and automation systems" in specialty 151 "Automation and computer-integrated technologies" in the field of knowledge 15 "Automation and instrumentation".

The expediency of the course "Computer-aided design of digital electronic circuits" is due to the need for students to acquire knowledge and skills in the design of digital electronic circuits using modern techniques and technologies, computer-aided design tools. This course provides a study of methods and tools for logical synthesis of digital electronic circuits based on behavioral and functional models.

Keywords: CADDEC, FPGA, synthesis, model, hardware description language.

ЗМІСТ

1. Опис навчальної дисципліни	5
2. Мета вивчення навчальної дисципліни.....	6
3. Передумови для вивчення навчальної дисципліни	6
4. Очікувані результати навчання.....	7
5. Програма навчальної дисципліни.....	7
6. Методи навчання, засоби діагностики результатів навчання та методи їх демонстрування.....	11
7. Форми поточного та підсумкового контролю.....	12
8. Критерії оцінювання результатів навчання.....	12
9. Засоби навчання	13
10. Рекомендовані джерела інформації.....	14
Додаток 1	15

1. Опис навчальної дисципліни

Найменування показників	Галузь знань, напрям підготовки, освітньо-кваліфікаційний рівень	Характеристика навчальної дисципліни	
		денна форма навчання	заочна форма навчання
Кількість кредитів – 6	Галузь знань 15 – «Автоматизація та приладобудування»	Нормативна з циклу дисциплін професійної підготовки магістра	
Модулів - 2	Спеціальність 151 – «Автоматизація та комп'ютерно-інтегровані технології»	Рік підготовки	
Змістових модулів - 2		5-й	
Курсовий проект на тему: «Проектування пристрою на основі ПЛІС»		Семестр	
		9-й	
Загальна кількість годин - 180			
Тижневих годин для денної форми навчання: аудиторних – 3; самостійної роботи студента - 9	Ступінь вищої освіти: другий (магістерський) рівень	Лекції	
		30 год	
		Практичні заняття	
		15 год	
		Самостійна робота	
		135 год	
		Вид контролю: КП, екзамен	

2. Мета вивчення навчальної дисципліни

Метою вивчення дисципліни «Комп'ютеризоване проектування цифрових електронних схем» є оволодіння студентами принципів розробки, моделювання та верифікації цифрових електронних схем на базі застосування мов опису апаратного забезпечення.

Завданням курсу «Комп'ютеризоване проектування цифрових електронних схем» є вивчення методів моделювання та синтезу цифрових електронних схем, ознайомлення з сучасними програмними засобами для проектування ЦЕС та апаратними засобами – програмованими логічними інтегральними схемами.

Загальні компетентності:

- здатність проведення досліджень на відповідному рівні (ЗК1);
- здатність вчитися і оволодівати сучасними знаннями (ЗК5);
- здатність до пошуку, оброблення та аналізу інформації з різних джерел (ЗК6);
- навички використання інформаційних технологій (ЗК8);
- здатність до застосування знань на практиці (ЗК9).

Фахові компетентності:

- Здатність професійно використовувати спеціальне програмне забезпечення для розробки комп'ютерно-інтегрованих систем управління та програмно-технічних комплексів на базі промислових контролерів, засобів людино-машинного інтерфейсу і промислових мереж (ФК4);
- Здатність обґрунтовано вибирати та проектувати спеціалізоване програмно-технічне забезпечення систем автоматизації складних технологічних та організаційно-технічних об'єктів (ФК11);
- Здатність застосовувати сучасні підходи та методи до проектування та розробки систем автоматизації різного рівня та призначення. Професійно володіти спеціальними програмними засобами для реалізації таких задач (ФК12).

3. Передумови для вивчення навчальної дисципліни

Передумовами для вивчення навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» є наступні навчальні дисципліни:

- Електроніка і мікросхемотехніка;
- Мікропроцесорні комплекси та системи.

4. Очікувані результати навчання

Програмні результати навчання полягають в наступному:

- вміти розробляти комп'ютерно-інтегровані системи управління та програмно-технічні комплекси на базі промислових контролерів, засобів людино-машинного інтерфейсу і промислових інформаційних мереж (ПРН4);
- Мати навички розроблення спеціалізованого програмного забезпечення для мікропроцесорних систем управління, програмованих контролерів та засобів людино-машинного інтерфейсу (ПРН5).

5. Програма навчальної дисципліни

Модуль 1. Комп'ютеризоване проектування цифрових електронних схем.

Змістовий модуль 1. Моделювання цифрових електронних схем з використанням мови Verilog.

Тема 1. Методологія проектування ЦЕС на базі мов опису апаратного забезпечення.

Лекція 1. Загальна характеристика методології проектування електронних пристроїв, класифікація моделей, значення зниження рівня абстракції моделей, класифікація моделей з точки зору рівня абстракції. 2 год.

[1], розд. 1, п. 1.2.1 – 1.2.4

Тема 2. Мова опису апаратного забезпечення Verilog.

Лекція 2. Коментарі, операції, числові та рядкові константи. Структури даних. Ідентифікатори та ключові слова. 2 год.

[1], розд. 2, п. 2.1 – 2.9

Тема 3. Структурне моделювання цифрових електронних схем.

Лекція 3. Структурна декомпозиція проектів та оператор включення модуля. 2 год.

[1], розд. 3, п. 3.1, 3.2

Лекція 4. Синтез проектів на базі стандартних елементів та технологічних примітивів. 2 год.

[1], розд. 3, п. 3.3

Лекція 5. Випробувальні стенди. 2 год.

[1], розд. 3, п. 3.5

Тема 4. Функціональне моделювання цифрових електронних схем.

Лекція 6. Синтез пристроїв на рівні потоків даних. Оператор assign. Затримки. Вирази, операнди та операції. 2 год.

[1], розд. 4, п. 4.1.1-4.1.5

Лекція 7. Поведінкові моделі. Оператори always та initial. Блокуюче та неблокуюче присвоювання, затримки, управління процесами на базі подій. 2 год.

[1], розд. 4, п. 4.2.1-4.2.9

Лекція 8. Поведінкові оператори – умовний оператор, циклічні оператори, оператор вибору case, послідовні та паралельні блоки. 2 год.

[1], розд. 4, п. 4.3.1-4.3.7

Лекція 9. Сценарії та функції. Конвейєрна обробка даних та синхронізація.

[1], розд. 4, п. 4.4.1-4.4.3

Змістовий модуль 2. Verilog-моделі типових елементів та функціональних блоків цифрових електронних схем.

Тема 5. Розробка суматора.

Лекція 10. Розробка 32-розрядного суматора: моделі поведінкового рівня та рівня регістрових передач, синтез та тестування суматора. 2 год.

[1], розд. 5, п.5.1.1-5.1.3

Тема 6. Розробка мультиплікатора.

Лекція 11. Розробка 4-розрядного помножувача знакових цілих чисел: модель поведінкового рівня та модель рівня регістрових передач. 2 год.

[1], розд. 5, п.5.2.1-5.2.3

Тема 7. Розробка контролера динамічної оперативної пам'яті.

Лекція 12. Принцип роботи та область застосування динамічної оперативної пам'яті (DRAM). Контролер DRAM. 2 год.

[1], Розд. 5, п.5.3.1

Лекція 13. Розробка контролера DRAM: моделі поведінкового рівня та рівня регістрових передач, синтез та тестування контролера DRAM. 2 год.

[1], Розд. 5, п.5.3.2-5.3.3

Тема 8. Розробка RISC-процесора та однокристальної обчислювальної системи.

Лекція 14. Структура та область застосування RISC-процесорів та однокристальних обчислювальних систем. Розробка ядра мікропроцесора: декодування інструкцій, регістровий файл та програмний лічильник. 2 год.

[2], Розд. 1, 2, 3.1-3.6

Лекція 15. Однокристальна система: підтримка переривань, шина для підключення зовнішніх пристроїв, суматор-лічильник. паралельний порт. 2 год.

[2], Розд. 4-6

Модуль 2. Розробка цифрового пристрою комп'ютеризованої системи управління

Тематичний план навчальної дисципліни

Назви змістових модулів і тем	Кількість годин									
	денна форма					заочна форма				
	усього	у тому числі				усього	у тому числі			
		л	лаб	практ.	с.р.		л	лаб	практ.	с.р.
Модуль 1. Комп'ютеризоване проектування цифрових електронних схем										
Змістовий модуль 1. Моделювання цифрових електронних схем з використанням мови Verilog										
Тема 1. Методологія проектування цифрових електронних схем на базі мов опису апаратного забезпечення.	5	2	-	-	3					
Тема 2. Мова опису апаратного забезпечення Verilog.	10	2	-	2	6					
Тема 3. Структурне моделювання цифрових електронних схем.	14	6	-	2	6					
Тема 4. Функціональне моделювання цифрових електронних схем.	16	8	-	2	6					
Разом за змістовим модулем 1	45	18	-	6	21					
Змістовий модуль 2. Verilog-моделі типових елементів та функціональних блоків цифрових електронних схем										
Тема 5. Розробка суматора.	8	2	-	2	4					
Тема 6. Розробка мультиплікатора.	8	2	-	2	4					
Тема 7. Розробка контролера динамічної оперативної пам'яті.	14	4	-	2	8					
Тема 8. Розробка RISC-процесора та однокристалльної обчислювальної системи.	15	4	-	3	8					
Разом за змістовим модулем 2	45	12	-	9	24					
Разом за модулем 1	90	30	-	15	45					
Модуль 2. Розробка цифрового пристрою комп'ютеризованої системи управління										
Проектування пристрою на основі ПЛІС	90	-	-	-	90					
Разом за модулем 2	90	-	-	-	90					
Усього годин	180	30	-	15	135					

Теми лабораторних занять

Лабораторні заняття програмою не передбачено.

Теми практичних занять

№ з/п	Назва теми	Кількість годин
1	Основні конструкції мови Verilog	2
2	Синтез ЦЕС на базі структурних Verilog-моделей	2
3	Синтез ЦЕС на базі поведінкових Verilog-моделей	2
4	Розробка суматора	2
5	Розробка мультиплікатора	2
6	Розробка контролера динамічної оперативної пам'яті	2
7	Розробка ядра RISC-процесора. Розробка випробувального стенду для тестування RISC-процесора	3

Самостійна робота

Самостійна робота здобувача вищої освіти є однією з форм організації навчання, основною формою оволодіння навчального матеріалу в час, вільний від обов'язкових навчальних занять.

Навчальний матеріал дисципліни, передбачений для засвоєння здобувачем вищої освіти в процесі самостійної роботи, виноситься на підсумковий контроль поряд з навчальним матеріалом, який опрацьовувався при проведенні навчальних занять.

Розподіл годин самостійної роботи для денної форми навчання:

- підготовка до лекційних занять – 0,5 год. / 1 заняття (на 1 лекцію);
- підготовка до практичних занять – 1-2 год. / 1 заняття;
- підготовка до контрольних заходів – 10 год. на 1 захід;
- виконання та захист курсового проекту – 90 год.

Завдання для самостійної роботи

№	Вид роботи	Кількість годин	
		Денна форма навчання	Заочна форма навчання
1	Підготовка до лекцій	15	
2	Підготовка до практичних занять	10	
3	Підготовка до модульних контрольних робіт (МКР)	20	
4	Виконання та захист курсового проекту	90	
Разом за курсом		135	

Індивідуальне науково дослідне завдання

Програмою передбачено наступні форми індивідуальної роботи:

- індивідуальні консультації з дисципліни, які проводяться зі студентами за окремим графіком, з метою отримання студентом відповіді на окремі теоретичні або практичні питання та для пояснення певних теоретичних положень чи аспектів їх практичного застосування;
- індивідуальне завдання, яке має на меті поглиблення, узагальнення та закріплення знань, які студенти отримують у процесі навчання, а також застосування цих знань на практиці;
- індивідуальне науково дослідне завдання у вигляді курсового проекту на тему «Проектування пристрою на основі ПЛІС»

Виконання КП підготує студента до самостійної діяльності у проектуванні цифрових електронних схем. Принципи проектування цифрових електронних схем допомагають студентам у розробці структурної, функціональної та принципової схем конкретної системи.

Метою виконання КП є закріплення теоретичних знань з дисципліни «Комп'ютеризоване проектування цифрових електронних схем» та набуття навиків у розробці, розрахунку та аналізу цифрових електронних схем на базі ПЛІС.

Методичні вказівки, а також довідкова інформація, що міститься у літературних джерелах, наведених у кінці, дають теоретичну базу для ознайомлення студентів з принципами побудови, реалізації і функціонування цифрових електронних схем на базі ПЛІС.

Зміст КП полягає у розробці на базі ПЛІС цифровий пристрій, що представляє собою елемент обчислювальної системи чи комп'ютеризованої системи управління.

№ з/п	Назва етапів курсового проектування	Кількість годин сам. роботи студ.
I. Аналіз пристрою, вибір платформи та планування тестів		
1	Аналіз складності пристрою, вибір платформи та методики розробки, визначення алгоритму роботи пристрою	10
2	Планування тестів та розробка випробувального стенду для синтезу пристрою	10
II. Розробка та тестування поведінкової моделі та моделі на рівні регістрових передач		
3	Розробка та тестування поведінкової Verilog-моделі пристрою	12
4	Розробка та тестування моделі пристрою на рівні регістрових передач	12
III. Синтез цифрової електронної схеми та розробка випробувального стенду		
5	Синтез цифрових логічних ланцюгів, що реалізує пристрій та його тестування з врахуванням реальних часових затримок	12
6	Оптимізація швидкодії та складності цифрового пристрою	14
7	Розробка випробувального стенду та тестування розробленого пристрою	20
Разом		90

Результати курсової роботи оформлюються у вигляді пояснювальної записки та презентації Microsoft Power Point.

КП виконується студентом самостійно за консультативною допомогою викладача. Студент несе особисту відповідальність за прийняті в роботі рішення і правильність виконання графічної та текстової частин КП.

6.Методи навчання, засоби діагностики результатів навчання та методи їх демонстрування

Методи навчання:

- лекція;
- ілюстрування;
- практична робота;
- вправа;
- інструктаж;
- робота з літературою;
- методи контролю і самоконтролю:
 - контрольні роботи;
 - контроль на практичних заняттях;
 - графічна перевірка.

Засобами оцінювання та методами демонстрування результатів навчання є:

- екзамен;
- залік;
- курсовий проект;
- презентації результатів виконання завдань та досліджень;
- студентські презентації та виступи на наукових заходах;
- завдання на комп'ютерах.

7.Форми поточного та підсумкового контролю

Рівень засвоєння матеріалу дисципліни здійснюється шляхом проведення поточного модульного контролю (ПМК) у вигляді тестових завдань різної складності, роботи на практичних заняттях та підсумкового контролю у формі письмового екзамену.

Підсумкова оцінка з дисципліни складається з оцінок, отриманих за поточний (модульний) контроль, результатів виконання лабораторних робіт та екзамену. У разі успішного навчання протягом семестру, тобто своєчасного та якісного виконання практичних завдань, отримання мінімально встановленої суми балів по кожному модулю, підсумкова оцінка може бути виставлена без екзамену.

За всі контрольні заходи (КЗ) протягом семестру студент може отримати від 0 до 100 балів. Умовою допуску студента до КЗ є мінімальна сума балів, яку студент повинен набрати у разі виконання всіх елементів модулів. Якщо студент не набрав мінімальну суму балів, то він не допускається до КЗ і йому рекомендується набрати цю кількість за рахунок виконання додаткового індивідуального завдання.

Семестровий підсумковий контроль здійснюється в письмовій формі у вигляді письмової екзаменаційної контрольної роботи та її усного захисту. Студент, який отримав за всі КЗ протягом семестру не менше 60 балів, за його бажанням, може бути звільненим від екзамену. Студент, який набрав за всі КЗ менше 60 балів, складає підсумковий семестровий екзамен (проводиться у письмовій формі в екзаменаційну сесію), до якого він допускається, якщо має за виконання всіх передбачених елементів модулів необхідну мінімальну суму 35 балів. Максимальна кількість балів за підсумкову екзаменаційну роботу (екзамен) становить 40 балів.

Екзаменаційні оцінки виставляються згідно шкали оцінювання ECTS.

Шкала оцінювання: національна та ECTS

Сума балів за результатом підсумкового контролю	Оцінка ECTS	Оцінка за національною шкалою
90 – 100	A	відмінно
82 – 89	B	добре
74 – 81	C	
64 – 73	D	задовільно
60 – 63	E	
35 – 59	FX	незадовільно з можливістю повторного складання
0 – 34	F	незадовільно з обов'язковим повторним вивченням дисципліни

8. Критерії оцінювання результатів навчання

Поточний модульний контроль реалізується у формі проведення контрольних робіт за кожним змістовним модулем. Кожна контрольна робота передбачає розв'язання 3-х завдань.

Форма контролю	Максимальна кількість балів	
	Денна форма	Заочна форма
Поточний модульний контроль	2 x 30 балів = 60 балів	
Всього	60 балів	

Кількість балів	Критерії оцінювання за виконання контрольної роботи в рамках відповідного поточного модульного контролю
30	Всі задачі розв'язані студентом повністю коректно, без помилок, з наведеними висновками.
20	Всі задачі студентом розв'язані, але містять неprincipові помилки; розв'язки задач наведені без висновків.
10	Не всі задачі студентом розв'язані коректно (прибл. 50%), містять принципові помилки; розв'язки задач наведені без висновків.
0	Всі задачі студентом розв'язані некоректно.

Формування підсумкової оцінки

		Денна форма		Заочна форма	
		Вид роботи	Кількість балів	Вид роботи	Кількість балів
ЗМ1	ПМК1	КР	30		
ЗМ2	ПМК2	КР	30		
Підсумковий контроль		Екзаменаційна контрольна робота	40		
Всього			100		100

Кількість балів	Критерії оцінювання за виконання екзаменаційної контрольної семестрової роботи (включає 2 теоретичні питання і одну задачу)
40	Студент вільно володіє матеріалом, знає конструкції мови Verilog; може застосовувати структурні та поведінкові моделі, а також моделі на рівні регістрових передач; володіє знаннями з синтезу цифрових логічних ланцюгів та їх тестування з врахуванням реальних часових затримок
25	Студент знає конструкції мови Verilog; може застосовувати структурні та поведінкові моделі, а також моделі на рівні регістрових передач; володіє знаннями з синтезу цифрових логічних ланцюгів
10	Студент має уявлення про конструкції мови Verilog, різноманітні моделі пристроїв та синтез цифрових логічних ланцюгів
0	Студент має знання та вміння нижче рівня, визначеного попередньою оцінкою

Штрафні та заохочувальні бали за:

відсутність на лекційному занятті без поважної причини..... – 1 бал
 недопуск до лабораторної роботи у зв'язку з
 незадовільним вхідним контролем..... – 1 бал
 несвоечасний захист лабораторної роботи..... – 1 бал
 відсутність на занятті без поважної причини..... – 3 бали
 участь у олімпіадах з дисципліни, відповідно..... + 4,6, 8, 10 балів
 участь у модернізації лабораторних робіт чи виконання завдань
 із удосконалення дидактичних матеріалів з дисципліни..... + 10 балів.

9. Засоби навчання

Для досягнення мети дисципліни та набуття бажаних результатів навчання передбачено застосування наступних засобів навчання:

- комп'ютери, елементи і пристрої мікропроцесорних систем управління;
- мови програмування: Verilog;
- програмні середовища: Active HDL, Mathcad, Power Point.

10. Рекомендовані джерела інформації

Основна література

1. Кондратенко Ю.П., Мохор В.В., Сидоренко С.А. Verilog-HDL для моделирования и синтеза цифровых электронных схем: Учебное пособие / Под ред. Ю.П. Кондратенко. – Николаев: Изд-во НФ НаУКМА, 2002. – 220 с.
2. Gray J. Designing a simple FPGA-optimized RISC CPU and system-on-a-chip // Gray research LLC, Bellevue, WA, 98008. – 17 p.
3. Кондратенко Ю.П., Сидоренко С.А., Підпригора Д.М. VHDL-моделі для проектування цифрових пристроїв. Методичні вказівки до циклу лабораторних робіт. – Миколаїв. УДМТУ, 2000. – 54 с.
4. Каневский Ю.С. Компьютерная арифметика. Конспект лекций. – К.: «ДиаСофт», 1994. – 240 с.
5. Программируемые логические ИМС на КМОП-структурах и их применение / П.П. Мальцев, Н.И. Гарбузов, А.П. Шарапов, Д.А. Кнышев. – М.: Энергоатомиздат, 1998. – 160 с.
6. Active-HDL User's Guide. Second edition. – Copyright ALDEC, Inc. 1999. – 213 p.
7. Bhasker J. A VHDL synthesis primer. San Francisco: Morgan Kaufmann Publishers, 1996. – 688 p.
8. Palnitkar S. Verilog HDL. A guide to digital design and synthesis. – Mountain View, California, USA: Sunsoft Press, 1996. – 396 p.
9. Zeidman B. Verilog designers library. – New Jersey, USA: Prentice hall PTR, 1999. – 416 p.

Допоміжна

10. Електроніка і мікросхемотехніка / В.І. Сенько, М.В. Панасенко, Є.В. Сенько та ін.; Під ред. В.І. Сенька. – К.: ТОВ "Видавництво "Обереги", 2000. – 300 с.
11. Кондратенко Ю.П., Сидоренко С.А., Підпригора Д.М. VHDL-моделі для проектування цифрових пристроїв. – Миколаїв: УДМТУ, 2002. – 60 с.
12. Цифрова техніка / Б.Є. Рицар. – К.: УМК ВО, 1991. – 372 с.
13. Ashenden P.J. The designer's guide to VHDL. San Francisco: Morgan Kaufmann Publishers, 1996. – 688 p.
14. Roth C.H. Digital systems design using VHDL. – Boston: PWS Publishing Company, 1998. – 470 p.

Питання для модульного контролю

МКР-1 Мова опису обладнання Verilog

1. Послідовність проектування ЦЕС.
2. Архітектура ПЛІС Spartan II.
3. Мова Verilog - загальна характеристика, модуль, заголовок та інтерфейс модуля, константи.
4. Регістри, ланцюги, вектори.
5. Побудова структурних моделей ЦЕС, оператор включення модуля, параметризовані модулі.
6. Моделювання ЦЕС на рівні потоків даних, операції.
7. Моделювання ЦЕС на поведінковому рівні, нульова затримка.
8. Блоки always, поведінкове управління запуском процесів.
9. Затримки, часове управління запуском процесів.
10. Блокуюче та неблокуюче присвоювання.
11. Умовний оператор.
12. Оператор вибору.
13. Циклічні оператори.
14. Синхронізація, конвейєрна обробка сигналів.
15. Процедури, функції.
16. Системні задачі \$display, \$monitor.
17. Відповідність між операторами Verilog та апаратними структурами.

МКР-2 Приклади розробки цифрових електронних схем

1. Напівсуматор та повний суматор. Структура суматора.
2. Алгоритми множення беззнакових чисел в прямому двійковому коді.
3. Множення знакових чисел та чисел з фіксованою комою.
4. Структура контролера DRAM.
5. Блочна оперативна пам'ять FPGA Spartan.
6. Розподілена оперативна пам'ять FPGA Spartan.
7. Структура RISC-процесора
8. Регістровий файл RISC-процесора.
9. Арифметико-логічний пристрій.
10. Результуючий мультиплексор та обчислення адреси наступної інструкції.
11. Обмін RISC-процесора з оперативною пам'яттю.
12. Реалізація апаратних переривань.
13. Обмін з пристроями вводу виводу.
14. Однокристална ЕОМ на базі RISC-процесора.