

Національний університет кораблебудування імені адмірала Макарова
Кафедра комп'ютеризованих систем управління

ЗАТВЕРДЖУЮ
Проректор
з науково-педагогічної роботи
С.О. Слободян
2023 р.



РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
Program of the Discipline

**КОМП'ЮТЕРИЗОВАНЕ ПРОЕКТУВАННЯ ЦИФРОВИХ
ЕЛЕКТРОННИХ СХЕМ**

Computer-aided design of digital electronic circuits

рівень вищої освіти другий (магістерський)

тип дисципліни нормативна

мова(и) викладання українська

Галузь знань 17 «Електроніка, автоматизація та електронні комунікації»

Спеціальність 174 «Автоматизація, комп'ютерно-інтегровані технології та
робототехніка»

ОПП «Комп'ютеризовані системи управління та автоматика»

Миколаїв, 2023 рік

Робоча програма навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розроблена для студентів з галузі знань 17 «Електроніка, автоматизація та електронні комунікації» за спеціальністю 174 «Автоматизація, комп'ютерно-інтегровані технології та робототехніка», ОПП «Комп'ютеризовані системи управління та автоматика».

«8» січня 2023 р. – 14 с.

Розробник: кандидат техн. наук Покровський М.В., доцент кафедри комп'ютеризованих систем управління, Герасін О.С., доцент кафедри комп'ютеризованих систем управління, канд. техн. наук, доцент

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» узгоджено з гарантом освітньо-професійної програми «Комп'ютерно-інтегровані технології та системи автоматизації».

Гарант ОПП,
к.т.н., доцент

 А.М. Топалов

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розглянуто на засіданні кафедри комп'ютеризованих систем управління (КСУ).

Протокол від «21» квітня 2023 р. № 11.

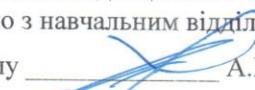
Завідувач кафедри КСУ  О.О. Черно

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» розглянуто методичною радою Навчально-наукового інституту автоматики і електротехніки.

Протокол від «18» березня 2023 р. № 09.

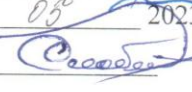
Голова  (Д.О. Жук)

Проект робочої програми навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» погоджено з навчальним відділом.

Начальник навчального відділу  А.В. Лабарткава

Робочу програму навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» затверджено Науково-методичною радою НУК.

Протокол від «24» березня 2023 р. № 04.

Голова НМР НУК 

© Покровський М.В., 2023

© Герасін О.С., 2023

© НУК, 2023

Анотація

Навчальна дисципліна «Комп'ютеризоване проектування цифрових електронних схем» (КПЦЕС) є нормативною дисципліною професійної підготовки фахівців другого (магістерського) рівня вищої освіти за освітньо-професійною програмою «Комп'ютеризовані системи управління та автоматика» зі спеціальності 174 «Автоматизація, комп'ютерно-інтегровані технології та робототехніка» галузі знань 17 «Електроніка, автоматизація та електронні комунікації».

Доцільність курсу «Комп'ютеризоване проектування цифрових електронних схем» викликана потребами придбання студентами знань і навичок в проектуванні цифрових електронних схем на базі програмованих логічних інтегральних схем (ПЛІС) із застосуванням сучасних методик і технологій, а також комп'ютеризованих засобів проектування. Даний курс забезпечує вивчення методів та засобів логічного синтезу цифрових електронних схем на основі поведінкових та функціональних моделей з використанням мови опису апаратного забезпечення Verilog.

Ключові слова: ПЛІС, синтез, модель, мова опису апаратного забезпечення, Verilog.

Abstract

The discipline "Computer-aided design of digital electronic circuits" (CADDEC) is a normative discipline of professional training of specialists of the second (master's) level of higher education in the educational-professional program "Computerized control systems and automation" in specialty 174 "Automation, computer integrated technologies and robotics" in the field of knowledge 17 "Electronics, automation and electronic communications".

The expediency of the course "Computer-aided design of digital electronic circuits" is due to the need for students to acquire knowledge and skills in the design of digital electronic circuits based on field-programmable gate array (FPGA) using modern techniques and technologies, as well as computer-aided design tools. This course provides a study of methods and means for logical synthesis of digital electronic circuits based on behavioral and functional models using hardware description language Verilog.

Keywords: FPGA, synthesis, model, hardware description language, Verilog.

ЗМІСТ

1. Опис навчальної дисципліни	5
2. Мета вивчення навчальної дисципліни.....	6
3. Передумови для вивчення навчальної дисципліни	6
4. Очікувані результати навчання.....	6
5. Програма навчальної дисципліни.....	6
6. Методи навчання, засоби діагностики результатів навчання та методи їх демонстрування.....	9
7. Форми поточного та підсумкового контролю.....	10
8. Критерії оцінювання результатів навчання.....	10
9. Засоби навчання	11
10. Рекомендовані джерела інформації.....	12
Додаток 1	13

1. ОПИС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Найменування показників	Галузь знань, напрям підготовки, освітньо-кваліфікаційний рівень	Характеристика навчальної дисципліни	
		денна форма навчання	заочна форма навчання
Кількість кредитів – 5	Галузь знань 17 – Електроніка, автоматизація та електронні комунікації	Нормативна з циклу дисциплін професійної підготовки магістра	
Модулів - 1	Спеціальність 174 – Автоматизація, комп'ютерно-інтегровані технології та робототехніка Освітня програма Комп'ютеризовані системи управління та автоматика	Рік підготовки	
Змістових модулів - 2		5-й	
Загальна кількість годин - 150		Семестр	
		9-й	
Тижневих годин для денної форми навчання: аудиторних – 4; самостійної роботи студента - 6	Ступінь вищої освіти: другий (магістерський) рівень	Лекції	
		30 год	10 год
		Практичні заняття	
		30 год	10 год
		Самостійна робота	
		90 год	130 год
Вид контролю: екзамен			

2. МЕТА ВИВЧЕННЯ НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Метою вивчення дисципліни «Комп'ютеризоване проектування цифрових електронних схем» є оволодіння студентами принципів розробки, моделювання та верифікації цифрових електронних схем (ЦЕС) на базі застосування мов опису апаратного забезпечення.

Завданням курсу «Комп'ютеризоване проектування цифрових електронних схем» є вивчення методів моделювання та синтезу цифрових електронних схем, ознайомлення з сучасними програмними засобами для проектування ЦЕС та апаратними засобами – програмованими логічними інтегральними схемами.

Під час вивчення дисципліни у студентів формуються наступні компетентності:

Загальні:

- навички використання інформаційних і комунікаційних технологій (ЗК6);
- здатність до застосування знань на практиці (ЗК7).

Спеціальні:

- здатність застосовувати спеціалізоване програмне забезпечення та цифрові технології для розв'язання складних задач і проблем автоматизації та комп'ютерно-інтегрованих технологій (СК7);
- здатність застосовувати сучасні технології наукових досліджень процесів, обладнання, засобів і систем автоматизації, контролю, діагностики, випробування та керування складними організаційно-технічними об'єктами та системами (СК9).

3. ПЕРЕДУМОВИ ДЛЯ ВИВЧЕННЯ НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Передумовами для вивчення навчальної дисципліни «Комп'ютеризоване проектування цифрових електронних схем» є наступні навчальні дисципліни:

- Електроніка і мікросхемотехніка;
- Мікропроцесорні технології та системи.

4. ОЧІКУВАНІ РЕЗУЛЬТАТИ НАВЧАННЯ

Програмні результати навчання полягають в наступному:

- створювати високонадійні системи автоматизації з високим рівнем функціональної та інформаційної безпеки програмних та технічних засобів (РН2);
- розробляти і використовувати спеціалізоване програмне забезпечення та цифрові технології для створення систем автоматизації складними організаційно-технічними об'єктами, професійно володіти спеціальними програмними засобами (РН10).

5. ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Модуль 1. Комп'ютеризоване проектування цифрових електронних схем.

Змістовий модуль 1. Моделювання цифрових електронних схем з використанням мови Verilog.

Тема 1. Методологія проектування ЦЕС на базі мов опису апаратного забезпечення.

Лекція 1. Загальна характеристика методології проектування електронних пристроїв, класифікація моделей, значення зниження рівня абстракції моделей, класифікація моделей з точки зору рівня абстракції. 2 год.

[1] с. 7-9; [2] с. 7-21; [3] с. 19-49.

Тема 2. Мова опису апаратного забезпечення Verilog.

Лекція 2. Коментарі, операції, числові та рядкові константи. Структури даних. Ідентифікатори та ключові слова. 2 год.

[1] с. 9-26; [4] 9-42.

Тема 3. Структурне моделювання цифрових електронних схем.

Лекція 3. Структурна декомпозиція проектів та оператор включення модуля. 2 год.

[1] с. 67-74; [5] с. 61-74; [6] с. 98-102.

Лекція 4. Синтез проектів на базі стандартних елементів та технологічних примітивів. 2 год.

[1] с. 75-95; [5] 75-94; [6] 21-35.

Лекція 5. Випробувальні стенди. 2 год.

[2] 87-93; [5] с. 33-38; [6] с. 173-190.

Тема 4. Функціональне моделювання цифрових електронних схем.

Лекція 6. Синтез пристроїв на рівні потоків даних. Оператор assign. Затримки. Вирази, операнди та операції. 2 год.

[5] с. 97-112.

Лекція 7. Поведінкові моделі. Оператори always та initial. Блокуюче та неблокуюче присвоювання, затримки, управління процесами на базі подій. 2 год.

[1] с. 27-52; [5] с. 125-141; [6] с. 16-21.

Лекція 8. Поведінкові оператори – умовний оператор, циклічні оператори, оператор вибору case, послідовні та паралельні блоки. 2 год.

[1] с. 48-59; [5] с. 142-171; [6] с. 36-87.

Лекція 9. Сценарії та функції. Конвейєрна обробка даних та синхронізація.

[1] с. 60-66; [5] с. 175-188.

Змістовий модуль 2. Verilog-моделі типових елементів та функціональних блоків цифрових електронних схем.

Тема 5. Розробка суматора.

Лекція 10. Розробка 32-розрядного суматора: моделі поведінкового рівня та рівня регістрових передач, синтез та тестування суматора. 2 год.

[1] с. 96-109; [4] 52-60; [6] с. 128-134; [7] с. 32-43; [8] с. 83-100.

Тема 6. Розробка мультиплікатора.

Лекція 11. Розробка 4-розрядного помножувача знакових цілих чисел: модель поведінкового рівня та модель рівня регістрових передач. 2 год.

[1] с. 110-117; [4] с. 30-43; [7] с. 59-61; [8] с. 177-228.

Тема 7. Розробка контролера динамічної оперативної пам'яті.

Лекція 12. Принцип роботи та область застосування динамічної оперативної пам'яті (DRAM). Контролер DRAM. 2 год.

[5] с.435-439; [6] 111-113; [7] с. 105-109; [8] с. 281-292; [9] с. 462-466.

Лекція 13. Розробка контролера DRAM: моделі поведінкового рівня та рівня регістрових передач, синтез та тестування контролера DRAM. 2 год.

[1] с. 155-165; [8] с. 329-402.

Тема 8. Розробка RISC-процесора та однокристальної обчислювальної системи.

Лекція 14. Структура та область застосування RISC-процесорів та однокристальних обчислювальних систем. Розробка ядра мікропроцесора: декодування інструкцій, регістровий файл та програмний лічильник. 2 год.

[10] с. 1-8; [11] с. 23-29.

Лекція 15. Однокристальна система: підтримка переривань, шина для підключення зовнішніх пристроїв, суматор-лічильник, паралельний порт. 2 год.

[10] с. 8-17; [12] с. 193-201.

Тематичний план навчальної дисципліни

Назви змістових модулів і тем	Кількість годин									
	денна форма					заочна форма				
	усього	у тому числі				усього	у тому числі			
		л	лаб	практ.	с.р.		л	лаб	практ.	с.р.
Модуль 1. Комп'ютеризоване проектування цифрових електронних схем										
Змістовий модуль 1. Моделювання цифрових електронних схем з використанням мови Verilog										
Тема 1. Методологія проектування цифрових електронних схем на базі мов опису апаратного забезпечення.	17	2	-	-	15	10	-	-	-	10
Тема 2. Мова опису апаратного забезпечення Verilog.	23	2	-	4	17	15	-	-	-	15
Тема 3. Структурне моделювання цифрових електронних схем.	28	6	-	4	18	29	2	-	2	25
Тема 4. Функціональне моделювання цифрових електронних схем.	32	8	-	4	20	36	4	-	2	30
Разом за змістовим модулем 1	90	18	-	12	60	90	6	-	4	80
Змістовий модуль 2. Verilog-моделі типових елементів та функціональних блоків цифрових електронних схем										
Тема 5. Розробка суматора.	14	2	-	6	6	14	-	-	2	12
Тема 6. Розробка мультиплікатора.	14	2	-	6	6	14	-	-	2	12
Тема 7. Розробка контролера динамічної оперативної пам'яті.	18	4	-	6	8	20	2	-	2	16
Тема 8. Розробка RISC-процесора та однокристалльної обчислювальної системи.	14	4	-	-	10	12	2	-	-	10
Разом за змістовим модулем 2	60	12	-	18	30	60	4	-	6	50
Усього годин	150	30	-	30	90	150	10	-	10	130

Теми лабораторних занять

Лабораторні заняття програмою не передбачено.

Теми практичних занять

№ з/п	Назва теми	Кількість годин	
		Денна форма	Заочна форма
1	Методологія проектування ЦЕС з застосуванням мови Verilog	4	-
2	Синтез ЦЕС на базі структурних Verilog-моделей	4	2
3	Синтез ЦЕС на базі поведінкових Verilog-моделей	4	2
4	Розробка суматора	6	2
5	Розробка мультиплікатора	6	2
6	Розробка контролера динамічної оперативної пам'яті	6	2

Самостійна робота

Самостійна робота здобувача вищої освіти є однією з форм організації навчання, основною формою оволодіння навчального матеріалу в час, вільний від обов'язкових навчальних занять.

Навчальний матеріал дисципліни, передбачений для засвоєння здобувачем вищої освіти в процесі самостійної роботи, виноситься на підсумковий контроль поряд з навчальним матеріалом, який опрацьовувався при проведенні навчальних занять.

Розподіл годин самостійної роботи для денної форми навчання:

- підготовка до лекційних занять – 0,5-3 год. / 1 заняття (на 1 лекцію);
- підготовка до практичних занять – 1-2 год. / 1 заняття;
- підготовка до контрольних заходів – 10-20 год. на 1 захід;
- самостійне опрацювання тем – 5-10 год / 1 тема.

Завдання для самостійної роботи

№	Вид роботи	Кількість годин	
		Денна форма	Заочна форма
1	Підготовка до лекцій	15	30
2	Підготовка до практичних занять	30	30
3	Самостійне опрацювання тем	15	30
4	Підготовка до модульних контрольних робіт (МКР)	30	40
Разом за курсом		90	130

Індивідуальне науково дослідне завдання

Програмою не передбачено виконання навчально-дослідного завдання.

6. МЕТОДИ НАВЧАННЯ, ЗАСОБИ ДІАГНОСТИКИ РЕЗУЛЬТАТІВ НАВЧАННЯ ТА МЕТОДИ ЇХ ДЕМОНСТРУВАННЯ

Методи навчання:

- лекція;
- практична робота;
- робота з літературою;
- методи контролю і самоконтролю:
 - контрольні роботи;
 - контроль на практичних заняттях;

Засобами оцінювання та методами демонстрування результатів навчання є:

- екзамен;
- презентації результатів виконання завдань та досліджень;
- студентські презентації та виступи на наукових заходах;
- завдання на комп'ютерах.

7.ФОРМИ ПОТОЧНОГО ТА ПІДСУМКОВОГО КОНТРОЛЮ

Рівень засвоєння матеріалу дисципліни здійснюється шляхом проведення поточного модульного контролю (ПМК) у вигляді тестових завдань різної складності, роботи на практичних заняттях та підсумкового контролю у формі письмового екзамену.

Підсумкова оцінка з дисципліни складається з оцінок, отриманих за поточний (модульний) контроль, результатів виконання лабораторних робіт та екзамену. У разі успішного навчання протягом семестру, тобто своєчасного та якісного виконання практичних завдань, отримання мінімально встановленої суми балів по кожному модулю, підсумкова оцінка може бути виставлена без екзамену.

За всі контрольні заходи (КЗ) протягом семестру студент може отримати від 0 до 100 балів. Умовою допуску студента до КЗ є мінімальна сума балів, яку студент повинен набрати у разі виконання всіх елементів модулів. Якщо студент не набрав мінімальну суму балів, то він не допускається до КЗ і йому рекомендується набрати цю кількість за рахунок виконання додаткового індивідуального завдання.

Семестровий підсумковий контроль здійснюється в письмовій формі у вигляді письмової екзаменаційної контрольної роботи та її усного захисту. Студент, який отримав за всі КЗ протягом семестру не менше 60 балів, за його бажанням, може бути звільненим від екзамену. Студент, який набрав за всі КЗ менше 60 балів, складає підсумковий семестровий екзамен (проводиться у письмовій формі в екзаменаційну сесію), до якого він допускається, якщо має за виконання всіх передбачених елементів модулів необхідну мінімальну суму 35 балів. Максимальна кількість балів за підсумкову екзаменаційну роботу (екзамен) становить 40 балів.

Екзаменаційні оцінки виставляються згідно шкали оцінювання ECTS.

Шкала оцінювання ECTS

Сума балів за результатом підсумкового контролю	Оцінка ECTS
90 – 100	A
82 – 89	B
74 – 81	C
64 – 73	D
60 – 63	E
35 – 59	FX
0 – 34	F

8. КРИТЕРІЇ ОЦІНЮВАННЯ РЕЗУЛЬТАТІВ НАВЧАННЯ

Поточний модульний контроль реалізується у формі проведення контрольних робіт за кожним змістовним модулем. Кожна контрольна робота передбачає розв'язання 3-х завдань.

Кількість балів		Критерії оцінювання практичної роботи
Денна форма	Заочна форма	
5	6	Студент готується до практичного заняття, вільно володіє матеріалом за темою та активно працює на занятті.
4	5	Студент підготовлений до практичного заняття та працює протягом заняття.
3	4	Студент володіє матеріалом за темою заняття, працює протягом заняття.
2	3	Студент має уявлення про тему заняття і приймає участь в обговоренні питань.
1	2	Студент має уявлення про тему заняття, але не виказує бажання працювати.
0	0	Студент не має уявлення про тему заняття і не працює

Форма контролю	Максимальна кількість балів	
	Денна форма	Заочна форма
Виконання практичних робіт	6 x 5 балів = 30 балів	5 x 6 балів = 30 балів
Поточний модульний контроль	2 x 15 балів = 30 балів	2 x 15 балів = 30 балів
Всього	60 балів	60 балів

Кількість балів		Критерії оцінювання за виконання контрольної роботи в рамках відповідного поточного модульного контролю
Денна форма	Заочна форма	
15	15	Всі задачі розв'язані студентом повністю коректно, без помилок, з наведеними висновками.
10	10	Всі задачі студентом розв'язані, але містять неprinципові помилки; розв'язки задач наведені без висновків.
5	5	Не всі задачі студентом розв'язані коректно (прибл. 50%), містять принципіві помилки; розв'язки задач наведені без висновків.
0	0	Всі задачі студентом розв'язані некоректно.

Формування підсумкової оцінки

		Денна форма		Заочна форма	
		Вид роботи	Кількість балів	Вид роботи	Кількість балів
ЗМ1		Практична робота 1	5	-	-
		Практична робота 2	5	Практична робота 2	6
		Практична робота 3	5	Практична робота 3	6
	ПМК1	МКР1	15	МКР1	15
ЗМ2		Практична робота 4	5	Практична робота 4	6
		Практична робота 5	5	Практична робота 5	6
		Практична робота 6	5	Практична робота 6	6
	ПМК2	МКР	15	МКР2	15
Підсумковий контроль		Екзаменаційна контрольна робота	40		40
Всього			100		100

Кількість балів	Критерії оцінювання за виконання екзаменаційної контрольної семестрової роботи (включає 2 теоретичні питання і одну задачу)
40	Студент вільно володіє матеріалом, знає конструкції мови Verilog; може застосовувати структурні та поведінкові моделі, а також моделі на рівні регістрових передач; володіє знаннями з синтезу цифрових логічних ланцюгів та їх тестування з врахуванням реальних часових затримок
25	Студент знає конструкції мови Verilog; може застосовувати структурні та поведінкові моделі, а також моделі на рівні регістрових передач; володіє знаннями з синтезу цифрових логічних ланцюгів
10	Студент має уявлення про конструкції мови Verilog, різноманітні моделі пристроїв та синтез цифрових логічних ланцюгів
0	Студент має знання та вміння нижче рівня, визначеного попередньою оцінкою

Штрафні та заохочувальні бали за:

відсутність на лекційному занятті без поважної причини..... – 1 бал
 недопуск до лабораторної роботи у зв'язку з
 незадовільним вхідним контролем..... – 1 бал
 несвоєчасний захист лабораторної роботи..... – 1 бал
 відсутність на занятті без поважної причини..... – 3 бали
 участь у олімпіадах з дисципліни, відповідно..... + 4, 6, 8, 10 балів
 участь у модернізації лабораторних робіт чи виконання завдань
 із удосконалення дидактичних матеріалів з дисципліни..... + 10 балів.

9. ЗАСОБИ НАВЧАННЯ

Для досягнення мети дисципліни та набуття бажаних результатів навчання передбачено застосування наступних засобів навчання:

- комп'ютери, елементи і пристрої мікропроцесорних систем управління;

- мови програмування: Verilog;
- програмні середовища: Active-HDL.

10. РЕКОМЕНДОВАНІ ДЖЕРЕЛА ІНФОРМАЦІЇ

Основна література

1. Рябенський В. М., Ушкаренко О.О. VERILOG. Практика проектування цифрових пристроїв на ПЛІС : навч. посібник. – Миколаїв : Іліон, 2007. – 324 с.
2. Кондратенко Ю.П., Сидоренко С.А., Підпригора Д.М. Поведінковий синтез цифрових пристроїв у середовищі Active-HDL. – Миколаїв: Вид-во МФ НаУКМА, 2002. – 116 с.
3. Рябенський В.М., Жуйков В.Я., Ямненко Ю.С., Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Том. 1, Київ. – 2016. – 399 с.
4. Комп'ютерна арифметика. Практикум : навч. посіб. для студ. / В. І. Жабін, І. А. Клименко, В. В. Ткаченко. – Київ : КПП ім. Ігоря Сікорського, 2019. – 75 с.
5. Palnitkar S. Verilog HDL. A guide to digital design and synthesis. Second edition. – Prentice Hall PTR, 2003. – 496 p.
6. Bhasker J. Verilog HDL Synthesis: A Practical Primer. Star Galaxy Publishing.1998. – 230 p.
7. Архітектура комп'ютерних систем: лабораторний практикум: навчальний посібник для студ./ Є. О. Батрак. – Київ : КПП ім. Ігоря Сікорського, 2020. – 110 с.
8. Zeidman B. Verilog designers library. – New Jersey, USA: Prentice hall PTR, 1999. – 416 p.
9. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. – Х.: НТУ "ХПІ", 2007. – 480 с.
10. Gray J. Designing a simple FPGA-optimized RISC CPU and system-on-a-chip. – Gray research LLC, Bellevue, WA, 98008. 2000. – 17 p.
11. Методичні вказівки до виконання лабораторних робіт з дисципліни „Комп'ютеризоване проектування цифрових електронних систем” / Г.В. Павлов, М.В. Покровський, І.Л. Вінниченко. – Миколаїв : НУК, 2018. – 32 с.
12. Бондаренко І.М., Бородін О.В., Карнаушенко В.П. Мікропроцесорні системи контролю та керування: Навч. посібник для студентів ЗВО. – Харків: ХНУРЕ. – 2020. – 244 с.

Допоміжна

13. Електроніка і мікросхемотехніка / В.І. Сенько, М.В. Панасенко, Є.В. Сенько та ін.; Під ред. В.І. Сенька. – К.: ТОВ "Видавництво "Обереги", 2000. – 300 с.
14. Кондратенко Ю.П., Мохор В.В., Сидоренко С.А. Verilog-HDL для моделирования и синтеза цифровых электронных схем: Учебное пособие / Под ред. Ю.П. Кондратенко. – Николаев: Изд-во НФ НаУКМА, 2002. – 220 с.
15. Кондратенко Ю.П., Сидоренко С.А., Підпригора Д.М. VHDL-моделі для проектування цифрових пристроїв. – Миколаїв: УДМТУ, 2002. – 60 с.
16. Рижар Б.Є. Цифрова техніка. – К.: УМК ВО, 1991. – 372 с.
17. Бондаренко І.М., Бородін О.В., Карнаушенко В.П. Сучасна компонентна база електронних систем: навч. посібник для студентів ЗВО. – Харків: ХНУРЕ, 2020. – 268 с.
18. Active-HDL User's Guide. Second edition. – Copyright ALDEC, Inc. 1999. – 213 p.
19. Bhasker J. A VHDL synthesis primer. San Francisco: Morgan Kaufmann Publishers, 1996. – 688 p.
20. Chonnad Sh., Balachander N. Verilog: Frequently Asked Questions. Language, Applications and Extensions. – Springer. 2004. – 202 p.

Питання для модульного контролю**МКР-1** Мова опису обладнання Verilog.

1. Послідовність проектування ЦЕС.
2. Архітектура ПЛІС Spartan II.
3. Мова Verilog - загальна характеристика, модуль, заголовок та інтерфейс модуля, константи.
4. Регістри, ланцюги, вектори.
5. Побудова структурних моделей ЦЕС, оператор включення модуля, параметризовані модулі.
6. Моделювання ЦЕС на рівні потоків даних, операції.
7. Моделювання ЦЕС на поведінковому рівні, нульова затримка.
8. Блоки always, поведінкове управління запуском процесів.
9. Затримки, часове управління запуском процесів.
10. Блокуюче та неблокуюче присвоювання.
11. Умовний оператор.
12. Оператор вибору.
13. Циклічні оператори.
14. Синхронізація, конвейєрна обробка сигналів.
15. Процедури, функції.
16. Системні задачі \$display, \$monitor.
17. Відповідність між операторами Verilog та апаратними структурами.

МКР-2 Приклади розробки цифрових електронних схем.

1. Напівсуматор та повний суматор. Структура суматора.
2. Алгоритми множення беззнакових чисел в прямому двійковому коді.
3. Множення знакових чисел та чисел з фіксованою комою.
4. Структура контролера DRAM.
5. Блочна оперативна пам'ять FPGA Spartan.
6. Розподілена оперативна пам'ять FPGA Spartan.
7. Структура RISC-процесора
8. Регістровий файл RISC-процесора.
9. Арифметико-логічний пристрій.
10. Результуючий мультиплексор та обчислення адреси наступної інструкції.
11. Обмін RISC-процесора з оперативною пам'яттю.
12. Реалізація апаратних переривань.
13. Обмін з пристроями вводу-виводу.
14. Однокристална ЕОМ на базі RISC-процесора.